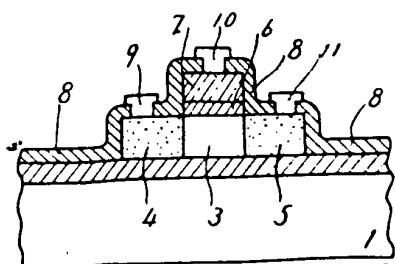


427/109  
427/936

(54) PREPARATION OF SEMICONDUCTOR DEVICE  
 (11) 55-162224 (A) (43) 17.12.1980 (19) JP  
 (21) Appl. No. 54-69850 (22) 6.6.1979  
 (71) TOKYO SHIBAURA DENKI K.K. (72) KENJI SHIBATA(1)  
 (51) Int. Cl. H01L21/26, H01L27/06, H01L27/12, H01L29/04, H01L29/72, H01L29/78

**PURPOSE:** To make the characteristic of a transistor uniform for improvement by applying the light beam or the electron beam to the polycrystalline or amorphous semiconductor layer on the substrate surface, before fabricating a transistor on this.

**CONSTITUTION:** A polycrystalline Si layer 3 is provided on a base comprising a semiconductor substrate 1 provided with an insulation layer, and to this, the laser beam is applied from above. Then an MOS transistor having a source 4, drain 5, gate oxide-film 6, gate electrode 7, insulation film 8, and electrodes 9~11 is fabricated. Since the laser irradiation causes many crystal defects and grain boundaries in the polycrystalline Si to disappear, impurities having been trapped by such defects and grain boundaries are electrically activated, so that a great number of electrons or holes are emitted. The mobility is also allowed to rise, so that the electric conductivity rises. In addition, the pressure tightness of P-N junction is allowed to rise, so that the leakage current decreases.



11.

①

⑯ 日本国特許庁 (JP)  
 ⑯ 公開特許公報 (A)

⑩ 特許出願公開  
 昭55-162224

⑪ Int. Cl.<sup>3</sup>  
 H 01 L 21/26  
 27/06  
 27/12  
 29/04  
 29/72  
 29/78

識別記号  
 庁内整理番号  
 6684-5F  
 6426-5F  
 6426-5F  
 7514-5F  
 7514-5F  
 6603-5F

⑬ 公開 昭和55年(1980)12月17日

発明の数 3  
 審査請求 未請求

(全 9 頁)

⑤ 半導体装置の製造方法

⑩ 特 願 昭54-69850

⑩ 出 願 昭54(1979)6月6日

⑩ 発明者 柴田健二

川崎市幸区小向東芝町1東京芝  
浦電気株式会社総合研究所内

⑩ 発明者 恩賀伸二

川崎市幸区小向東芝町1東京芝  
浦電気株式会社総合研究所内

⑩ 出願人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

⑩ 代理人 弁理士 則近憲佑 外1名

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 基体表面に多結晶若しくは非晶質半導体層を被着する工程とこの半導体層に光ビーム若しくは電子ビームを照射し、またトランジスタを形成する工程とを備えたことを特徴とする半導体装置の製造方法。

(2) 半導体基板上、又は該基板上に設けられた絶縁物層上に多結晶若しくは非晶質半導体層を形成する工程と、該半導体層に光ビーム若しくは電子ビームを照射し、また第1のトランジスタを形成する工程と、この第1のトランジスタに対して電気的に接続される第2のトランジスタを前記半導体基板に形成する工程とを備えたことを特徴とする半導体装置の製造方法。

(3) 絶縁物基板上、又は該基板上に設けられた絶縁物層上に多結晶若しくは非晶質半導体層を形成する工程と、該半導体層に光ビーム若しくは電子

ビームを照射し、また第1のトランジスタを形成する工程と、この第1のトランジスタに対して電気的に接続される第2のトランジスタを前記基板上に設けられた単結晶半導体層に形成する工程とを備えたことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

本発明は改良された半導体装置の製造方法に関する。

従来の一つの試みとして多結晶シリコン層にトランジスタを形成する方法が知られている。しかし多結晶半導体層に形成したトランジスタは特性のはらつきが大きく、またトランジスタの特性自体到底実用に供することは出来ないものであった。後者についてさらに詳述すれば①多結晶半導体層中には多数の結晶欠陥並びに結晶粒界が存在する、②この欠陥並びに結晶粒界により不純物の相当数が捕獲される、③これらの不純物は電気的に最早活性ではなく、荷電相体である電子又は正孔を放出出来ない、④結晶欠陥並びに結晶粒界が捕獲された不純物により荷電するため荷電相体が散乱さ

(1)

(2)

れて易動度が低下する、ⅥPN接合の耐圧が低くなり、リタ電流も大きい、且少數キャリアの寿命が短い、即不純物が異状拡散を起す、即多結晶半導体の酸化膜の耐圧が低い、等の多くの欠点を有する。

本発明は上記事情に鑑みて為されたもので、基体表面の多結晶若しくは非晶質半導体層にレーザー光線即ち光ビームや電子ビームを照射し、またトランジスタを形成し、以ってトランジスタの特性のばらつき改善及び特性向上を計り、実用に供することのできる半導体装置の製造方法を提供することを目的とする。また、本発明は非晶質半導体層の使用を可能にする。さらに本発明の他の目的は単結晶半導体層に形成されるトランジスタとは異特性のトランジスタを提供し得る半導体装置の製造方法を提供することにある。

本発明の他の目的は前記トランジスタを例えればインバータ回路のロードトランジスタに適用することにより、高集積化、高速化及び低消費電力化し得る半導体装置の製造方法を提供することである。

(3)

精密な検討の結果によれば、例えばレーザー光線を多結晶シリコンに照射することにより、Dレーザー照射によって多結晶シリコン中の多数の結晶欠陥並びに結晶粒界が減少し、Dこれらに補強されていた不純物が電気的に活性化することによって多数の電子または正孔を放出し、更に結晶欠陥並びに結晶粒界のまわりの空間電荷分布領域の大きさは減少し、今まで荷電部位が受けたいた散乱の効果が減り易動度が上昇する、即P-N接合の耐圧が上がり、リタ電流も減少する、Ⅵ不純物の異常拡散が減り、即多結晶シリコンの酸化膜の耐圧も上昇する効果を有する。

測定によれば、レーザー照射後においては自由電子の濃度は2~4倍に増加し、空間電荷分布領域は $1/2$ ~ $1/3$ に減少した。

第1図は電子線回折写真で、レーザーパワーを増加していた場合の多結晶シリコンの結晶性を示すものであるが、最初(a)で非晶質に近い多結晶シリコンの状態にあったものがパワーを増加するに従って(b)のように単結晶に近い多結晶シリコンに

(4)

変わつてゆく様子が観察出来る。しかしながらさらにパワーを増加させると多結晶シリコン層は一部で溶離し、使用に耐えなくなる。この臨界のパワーは多結晶中の不純物量が多くなるに従い小さくなり、また不純物導入法が拡散よりイオン注入法において小さい。

これは多結晶シリコンのレーザーパワー吸収量に依存するもので吸収量の多い多結晶シリコン層程小さなパワーで臨界に達する。従って各々の多結晶シリコン層によって適当なパワーを選んでレーザー光線を照射し、所期の状態を達した時点で該層中にトランジスタを形成することにより本発明の効果を最大限に利用することができる。またこのような効果は電子ビーム照射の場合にも期待出来る。

以下に本発明を各実施例につき図面を参照して詳述する。

#### 実施例(1)

第2図はこの第1の実施例で作成した装置断面図である。即ちまず半導体基板1の上に絶縁物層

(5)

2を設けた基板を用い、その上にたとえばポロンをドープした1μmの厚さの多結晶シリコン層3を形成し、上からレーザー光線を照射する。ここで用いたレーザー光線は光源がNd-YAGであり超音波セルによって連続Qスイッチ動作する。発振波長は1.064μmであり、発振数は10KHz、パルス幅約200nsecであり、コンデンサーで絞り込んでいる。尚、本明細書では前記1.064μm等可視光以外のレーザーもレーザー光線として光ビームの扱いをする。レーザーパワーは1.0Wattであり、多結晶シリコン面上では45~53MW/cm<sup>2</sup>IC相当した。

この後公知の方法にてロチャンネルMOSトランジスタを形成した。ここで、4.5はたとえば電源を供給して形成したソース、ドレイン、6は熱酸化によって形成したゲート酸化膜、7はたとえば酸素をドープした多結晶シリコンよりなるゲート電極、8は絶縁層、9,10,11はたとえばアルミニウムによって形成された電極である。

本実施例の場合、多結晶シリコン層3は半導体

(6)

基板 1 の上に直接形成しても構わない。本実施例において半導体基板 1 は P 型でも N 型でも構わない。また本実施例では多結晶状態のシリコン中に形成されているロチャンネル MOS トランジスタを得るが、N 型の多結晶シリコン中に P チャンネル MOS トランジスタを形成しても構わない。

#### 実施例(2)

第 3 図はこの第 2 の実施例により作成した装置の断面図である。即ちまず半導体基板 101 の上に絶縁物層 102 を設けその上にたとえばリンをドープした 2  $\mu$ m の厚さの多結晶シリコン層 103 を形成し上からレーザー光線を照射する。この後公知の方法にて n-p-n バイポーラトランジスタを形成した。ここで 104 はたとえば砒素をドープしたエミッタ層、105 はたとえばボロンをドープしたベータ層、106 はたとえば砒素をドープしたコレクタ層であり、107 は絕縁膜、108 ～ 110 はたとえばアルミニウムによって形成された電極である。本実施例の場合、多結晶シリコン層 103 は半導体基板 101 の上に直接形成しても構わない。本実施例により作成した装置は第 3 図の構成である。

(7)

本実施例の場合、多結晶シリコン層 203 は単結晶絶縁体基板 201 の上に直接形成しても構わない。また本実施例では P 型不純物を含んだ多結晶シリコン層中にロチャンネル MOS トランジスタを形成したが、N 型不純物を含んだ多結晶シリコン層中に P チャンネル MOS トランジスタを形成しても構わない。また単結晶絶縁体基板としてはサファイアを用いたがこれはスピネルまたはその他のものでも構わない。

以上第 1 ～ 3 の実施例では出発材料として多結晶半導体層を用いることにより最終的に多結晶状態の半導体層中にトランジスタが形成されている。また非晶質半導体層を出発材料として用いることもできる。

第 5 図は今回形成した MOS トランジスタの特性を示す。図において曲線(a)は本実施例による実施例(2)のレーザー照射した多結晶状態の Si 中に設けられたなる MOS トランジスタ(b)は多結晶 / SOS 中に形成した MOS トランジスタの特性と比較して示したものである。図において曲線(a)は本実施例による実施例(2)のレーザー照射した多結晶状態の Si 中に設けられたなる MOS トランジスタ(b)は多結晶 / SOS 中に形成した MOS トランジスタの特性と比較して示したものである。

(8)

特開昭55-162224(3)

例において半導体基板 101 は P 型でも N 型でも構わない。また本実施例ではリンをドープした多結晶シリコン中に n-p-n バイポーラトランジスタを形成したが、P 型の多結晶シリコン中に p-n-p バイポーラトランジスタを形成しても構わない。

#### 実施例(3)

第 4 図はこの第 3 の実施例により作成した装置の断面図である。すなわちたとえば (1012) 面のサファイア単結晶基板 201 の上に絶縁物層 202 を設けその上にたとえば P 型不純物を含む厚さ約 0.7  $\mu$ m の多結晶シリコン層を 203 を 450 ～ 550  $^{\circ}$ C の成長温度で形成し、上からレーザー光線を照射して該層の特性を改善する。この後公知の方法にてロチャンネル MOS トランジスタを形成した。ここで 204, 205 はたとえば砒素をドープして形成したソース、ドレイン、206 は熱酸化によって形成したゲート酸化膜、207 はたとえば砒素をドープした多結晶シリコンよりなるゲート電極、208 は絶縁膜、209 ～ 211 はたとえばアルミニウムによって形成された電極である。

(9)

のもの、(c)は単結晶 / SOS 中のトランジスタのゲート電圧に対する電子の  $H_{eff}$  易動度を示したものであるが、(a)の場合には(b)に比べて (I) 易動度が非常によく改善され、(II) 易動度のばらつきが改善されている。450 ～ 550  $^{\circ}$ C で気相成長させた多結晶シリコン層は前記の如く P-N 結合のリーグ電流、耐圧不良等の理由で本来電子として十分利点を発揮できないが本実施例のようにレーザーを照射することにより、特にある種の回路の電子回路電子としては特徴的に利用しうることがわかる。すなわち(a)は通常の(c)の場合に比べると易動度が約半分であるから、電子回路のとりわけインペーテーのロードに採用することによりその利点を充分に発揮することができる。

#### 実施例(4)

第 6 図は第 4 の実施例により形成した装置の断面図である。すなわち単結晶絶縁体たとえばサファイア基板 301 の上に絶縁物層 302 を設けその上にたとえば N 型不純物を含む厚さ約 2  $\mu$ m の多結晶シリコン層 303 を形成し上からレーザー光線を照射して

- 88 -

該層の特性を改善する。この後公知の方法にてn-p-nバイポーラトランジスタを形成した。ここで304はたとえば砒素をドープしたエミッタ層、305はたとえばガロンをドープしたベース層、306はたとえば砒素をドープしたコレクター層であり、307は絶縁膜、108～110はたとえばアルミニウムによって形成された電極である。

本実施例の場合、多結晶シリコン層303は半導体基板301の上に直接形成してもかまわない。また本実施例では、N型不純物を含んだ多結晶シリコン層中にn-p-nバイポーラトランジスタを形成したが、P型多結晶シリコン層中にp-n-pバイポーラトランジスタを形成しても構ない。また単結晶絶縁体基板としてはサファイアを用いたが、これは、スピネルまたはその他のものでも構わない。

#### 実施例(5)

第7図(c)は第5の実施例により形成した装置断面図である。即ちレーザー照射した多結晶シリコン中にMOSトランジスタを形成し、これと半導体基板中に形成したMOSトランジスタとよりインバータ回路を完成する。

第1のトランジスタ、第2のトランジスタの形成工程には種々の方法があり、たとえば本実施例のごとく同時に形成する方法、または一方を形成後他方を形成する方法などがあり、例えば半導体層形成前に第2のトランジスタを形成することも可能である。またこれに伴なって島状領域405の形成時期及び方法も含めて種々の組合せが考えられるが、本発明の主旨を逸脱しない限りいずれの方法をとってもよい。従ってそれぞれのトランジスタのソース、ドレイン、及びゲート電極は必ずしも同時に形成される必要はない。(c)の工程ではドライバー電極である第2のトランジスタのドレイン411は配線415によって次のロード電極である第1のトランジスタのソース408に接続する。従って工程によっては配線415の変わりに第1の

特開昭55-162224(4)ーターを構成したものである。また(a)～(c)はその工程手順を示す。(a)図において、P型半導体基板401上の一帯に電子間分離のためのフィールド酸化膜402をさらに熱酸化により約700Åの熱酸化膜403を全面に形成する。ひき続いて多結晶シリコンを全面に堆積し、写真蝕刻法によりエッティング除去してドライバー電極用としての第2のトランジスタのゲート電極404、並びにロード電極用としての第1のトランジスタ形成用の島状領域405を形成する。この島状領域はゲート電極404に先がけて形成することもできる。この場合には工程がやや異なり、第1のトランジスタと第2のトランジスタのゲート電極は同時に形成することができる。

本実施例においては(a)の段階が終了後(b)で示すように公知の方法にて第1のトランジスタのゲート酸化膜406並びにゲート電極407を形成し、その後たとえば砒素を拡散して、第1、第2のトランジスタのソース、ドレイン408, 409, 410, 411をそれぞれセルファーライン方式で同時に形成する。

09

10

トランジスタのソース408を411と直接結ぶことができる。

第8図はこれらの素子の平面図である。この平面図でわかるようにロードはゲートとドレインが結ばれているので饱和領域で動作するように配線されている。またこのトランジスタはローチャンネルエンハンスマントタイプ素子として形成してある。この場合インバーターの重複率M比は1.2である。

第9図は第7図、第8図に示した装置の回路図を示す。電源は単一電源方式で $V_{DD} = +1.7V$ 、ドライバー、ロードトランジスタA, Bのしきい値 $V_{TD}, V_{TL}$ はそれぞれ+2.3V, +1.3Vであった。

第10図は夫々ドライバー、ロード両トランジスタA, Bを単結晶半導体基板中に作り、本実施例によるインバーターと同じ特性を得るようにならわちM比を1.2となるように構成したものとの平面図である。これを第8図と比較すると、実施例ではインバーターの占有面積を従来の約65%に縮少できることがわかった第11図は本実施例の効果を示す。

03

04

特性で示す図である。すなわち比を同じにした本実施例による素子(第8図)と従来法による素子(第10図)のインバーターの入力電圧に第11-図(a)に示すような波形シグナルを入れた場合の出力電圧の過渡的特性を調べたものである。(b)では $V_{out}$ 特性の結果を示しており、(1)は本実施例による素子の出力電圧、(2)は従来法、すなわちロードトランジスタを単結晶中に形成した素子の出力電圧を示すが、この2つを比較すると(1)の方が $2\sim2.5\text{ nsec}$ 応答が速い、(1)出力電圧のマージンが大きいなどの利点があることがわかる。以上のようすに本発明による利点は多く見られるが次のようにまとめることができる。(1)インバーターの構成面積が $65\mu\text{m}^2$ に縮少できる。(2),(1)の効果によりゲート基板間、ゲート-ソース間、ゲート-ドレイン間の浮遊容量が小さくできる。(3)そのため充放電の明間が短縮できる。

さらに本実施例におけるロードトランジスタ、即ち第1のトランジスタはドライバートランジスタ即ち第2のトランジスタの上に重ねて形成する

09

ことでも可能でその場合には占有面積は従来の約 $\frac{1}{2}$ で済み集積度は約2倍になると考えられる。本実施例では第1、第2のトランジスタのゲート面積は共に多結晶シリコンを用いたが第1のトランジスタのゲート電極407はアルミニウムとし、第7図(d)の工程で配線と共に形成することもできる。

また本実施例では第1、第2のトランジスタ共にロチタンネルMOSトランジスタとしたが、これらのトランジスタはロチタンネル、または $n-p$ -チタンネルの組合せでインバーターを構成してもかまわない。さらにエンハンスマント型、ディップレッシュ型の組合せで多くの応用例が考えられるが、そのすべての場合が可能である。また多結晶シリコン中に形成される第1のトランジスタではゲートとドレインを結ぶことにより单に抵抗体として用いることも可能である。このようす第1のトランジスタを抵抗体として用いる場合、または本実施例のごとくインバーターのロードトランジスタとして用いる場合には島状領域405の形成時ににおいて多結晶シリコン中の不純物濃度を適当

10

に選んでやることにより、さらに応用範囲が広がる可能性がある。この不純物添加は多結晶シリコン堆積時に行なってもよいが堆積後イオン注入または拡散で行なってもよい。

このようにして不純物のドープが終了したのちレーザー光線をあてることによって本発明の効果を引き出すことができる。さらにレーザー照射は一回だけに限定されるものではなく、多結晶シリコン堆積後、ソース、ドレイン形成後、等程度でも行なうことができ、それにより素子の高速化が達成できる。

#### 実施例(6)

第12図はこの実施例6の実験を示す断面図である。即ち単結晶サファイア基板上の多結晶シリコンと単結晶シリコン層にそれぞれ第1のトランジスタ及び第2のトランジスタを形成し、インバーターを構成したものである。本実験の効果及び性能の基本的な点は実施例(5)と同じであるが、基板としてサファイアを用いているため素子間分離がしやすくレーザー光線照射を繰り返すことにより、よ

り高速、高密度な素子を形成することができる。第12図(a)～(f)はその工程手順を示す。まず(a)においてはたとえば $(\bar{1}012)$ 面の単結晶サファイア基板501にP型不純物を含む単結晶(001)シリコン膜502を形成する。該膜の厚さは $0.7\mu\text{m}$ であり、不純物濃度は $3.2\times10^{18}/\text{cm}^3$ とした。その後該膜を公知のコッティング技術により島状領域502としここに第2のトランジスタを形成し、インバーターのドライバーとする。

この工程においては基板はサファイアに固定される必要はなく、たとえば単結晶スピネル、またはその他の単結晶耐熱体であってもかまわない。次に(d)に示すように酸化性雰囲気において島状領域502の表面に酸化膜503をたとえば $980\text{ \AA}$ 成長させ、引き続き全面に多結晶シリコン膜504を1次成長させ、引き続き全面に多結晶シリコン膜504を2次成長させる。次に(e)の工程で酸化膜504をメタニングして新たに島状領域505と第2のトランジスタのゲート電極506としたのちレーザー光線を照射する。この新たに島状領域505には第1のトランジスタを形成(ロードトランジスタとする)。

11

09

の島状領域 505 はサファイア基板上に直接形成しているが、工程上、基板との間に絶縁膜が入っても何ら差しつかえない。

次に(d)の工程で不純物として砒素を含む spin-on-source 506 と不純物を含まない spin-on-source 506 と不純物を含まない spin-on-source 507 を順次塗布し、ペーリングする。これらの膜の塗布条件は本実施例ではそれぞれ回転数 3000 rpm、膜厚 5000Å と 4000 rpm、3850Å であり、ペーリングは 200℃ のオーブン中で 1 時間とした。その後該膜をバーニングして第 1 のトランジスタのゲート部分を開口した。

(e)の工程では、これを酸化性雰囲気にて、砒素を放散することにより、第 2 のトランジスタ、第 1 のトランジスタのソース、ドレイン 508, 509, 510, 511 を形成した。この時第 1 のトランジスタでは同時にゲート酸化膜 512 も形成される。また spin-on-source 膜は絶縁膜 507 となる。次に(f)の工程でたとえばアルミニウムによって第 1 のトランジスタのゲート電極 516、それぞれのトランジ

09

特開昭55-162224(6)

スタの他電極 513, 514, 515, 517 を形成し、本実施例のインバーターを完成する。

第 13 図は本実施例によるインバータの平面図であり、第 14 図は同じく本実施例の回路図である。

ここでロードトランジスタはローチャンネルエンハンスマント型の MOS トランジスタであり、インバーターの  $\beta$  比は 1.2 であった。電源は単一電源方式で  $V_{DD} = +17V$  ドライバー、ロードトランジスタのしきい値はそれぞれ  $+2.3V, +1.3V$  であった。

第 15 図は本インバーターの  $V_{out}$  と  $V_{in}$  との特性を示す図であり、 $V_{in} = \text{入力電圧}$ 、 $V_{out} = \text{出力電圧}$ 、 $V_{DD} = \text{電源電圧}$ 、 $V_T = \text{しきい値を示す島状領域 505 IC レーザー照射しなかったものを W に示し、本実施例のレーザー照射したもの W' に示す。W ではインバーターの伝達特性は非常にゆるやかであるが W' ではこれがかなり改善されている。このため LSI 回路とりわけ論理回路においては信号の転送が高速化され非常に有利である。また本実施例と同じ特性的インバーターを従来技術で構成する時に比べて、本実施例では占有面積が約 65% とな$

10

り集積度が大きく向上した。本実施例では (001) 面のサファイア基板を用いて説明したが (001) 面のサファイア基板を用いても同様の効果が得られた。この場合のドライバードランジスタを形成するシリコン島状領域の面方位は (111) 面であった。

なお本実施例では、インバーターにおいてはロードトランジスタはドライバートランジスタより高抵抗である方が設計上適ましいため、ロードトランジスタは多結晶シリコン中にドライバーは单結晶シリコン中に形成したが両トランジスタ共多結晶シリコン中に形成してもかまわない。多結晶シリコン中のトランジスタのゲート材料はアルミニウムを用いたが、これは他の金属または多結晶シリコンを用いてもかまわない。またこのトランジスタのゲートとドレインを並ぶことにより单結晶抵抗として用いることができる。第 16 図はこのようにして作った場合の回路図である。すなわち従来のロードトランジスタ (c) とドライバートランジスタ (d) よりもインバーターに抵抗体として

利用する (d) のトランジスタを入れたものである。

本実施例のトランジスタは第一、第二のトランジスタ共ローチャンネル MOS トランジスタであったがこれは共 IC ローチャンネル MOS トランジスタでもよいし、ロードトランジスタの組合せでもよい。またエンハンスマント、ディプレッシュン両タイプの組合せにより多くの応用例を考えることができる。以上の本発明の実施例による説明ではレーザー光線による照射の場合についてのみ述べたが電子ビーム照射の場合においても期待できる。

本発明には以上の実施例の他にも多くが考えられるが、その他にも主旨を逸脱しない限り多くの使用法が考えられる。本発明では多くの実施例に見られる通りの効果があるが、そのうち特に他よりもすぐれ、重要な利点は、D レーザー光線を始めとする光ビーム若しくは電子ビーム照射を用いて多結晶シリコン中に実用に供することができるトランジスタを形成できるようになった。

① 单結晶半導体に形成するトランジスタとは異特性的トランジスタを得ることができる。② インバ

09

11

ーター回路において約2倍の集積度を可能にし、今までよりも高速動作を可能にした。⑩)ロードトランジスタがAB或いはMo,W,Ta,Nb,Tiゲートとドライバートランジスタが多結晶シリコンゲートあるいはロードトランジスタが高抵抗であること、あるいはn-,p-チャンネル、エンハンスメントディプレッシュンタイプ等の組合せにより設計上多くの応用を可能とし、自由度を広げた、等である。

#### 4. 図面の簡単な説明

第1図(a)(b)は夫々レーザー光線照射前後の多結晶シリコンの電子回折写真、第2図は本発明の第1の実施例を説明するための装置断面図、第3図は第2の実施例を説明するための装置断面図、第4図は第3の実施例を説明するための装置断面図、第5図は本発明効果を電子のHall電動度につき示す特性図、第6図は第4の実施例を説明するための装置断面図、第7図(a)～(e)は第5の実施例を説明するための製造工程の装置断面図、第8図は第7図(c)の平面図、第9図は第7図(c)の回路図、第10

特開昭55-162224(7)  
図はロードトランジスタをレーザー光線非照射多結晶シリコンで形成した場合の装置平面図、第11図(a)(b)は夫々入射シグナル、出力シグナルにつき本発明効果を説明する為の特性図、第12図(a)～(f)は第6の実施例を説明する為の製造工程断面図、第13図は第12図(f)の平面図、第14図は第12図(f)の回路図、第15図は第12図(f)に示した装置の特性図、第16図は第6の実施例の変形例を示す回路図である。

#### 第5図に於いて

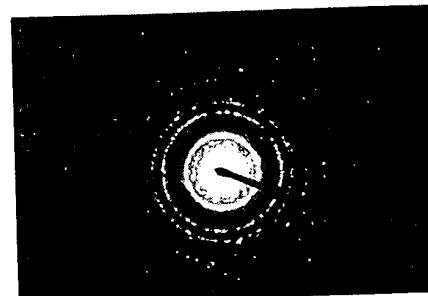
- 401 … P型半導体基板
- 402 … フィールド酸化膜
- 403 … 热酸化膜
- 404, 407 … ゲート電極
- 405 … 島状領域
- 406 … ゲート酸化膜
- 408, 410 … ソース
- 409, 411 … ドレイン

代理人弁理士 関近庸佑  
(ほか1名)

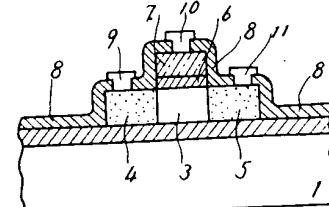
第1図 (a)



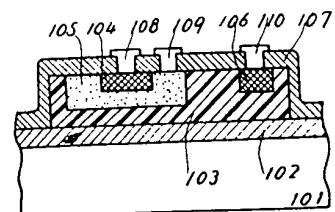
(b)

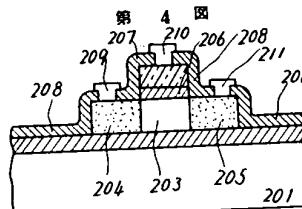


第2図

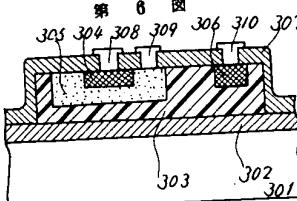
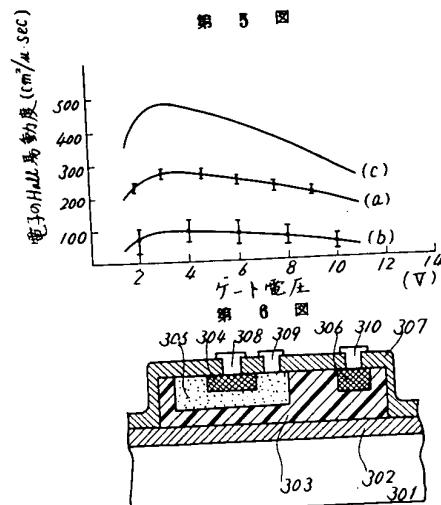


第3図

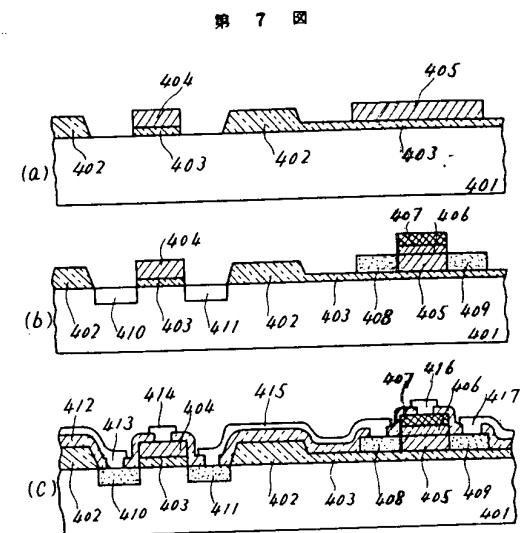




第 5 図

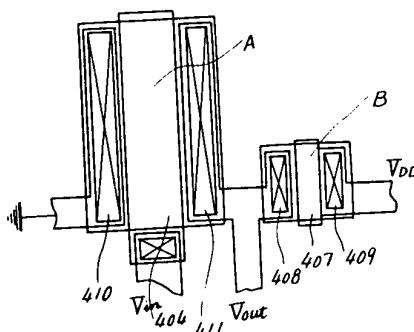


電子のHall電磁強度 (cm²/A·sec)

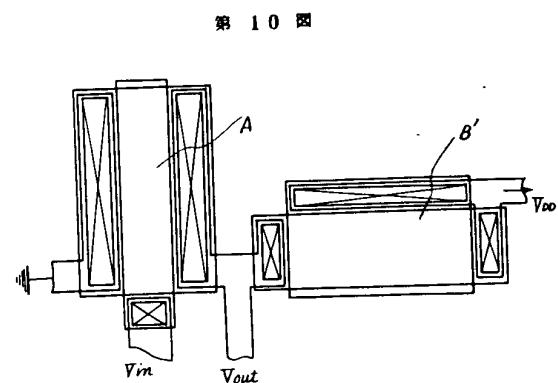


第 7 図

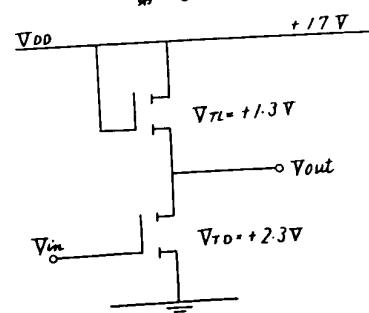
第 8 図



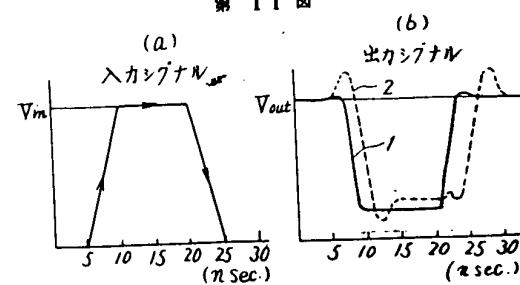
第 9 図



第 10 図

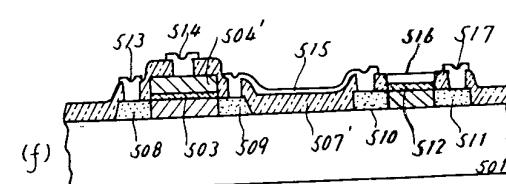
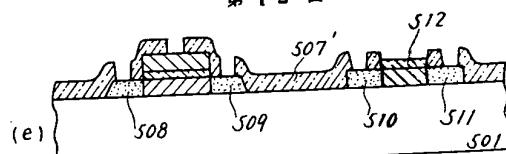
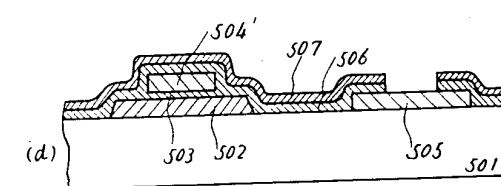
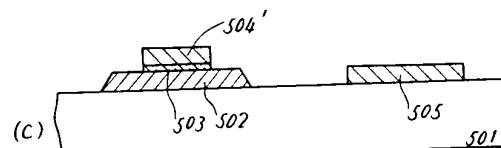
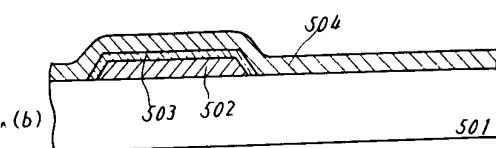
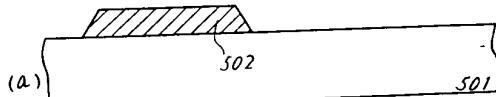


第 11 図

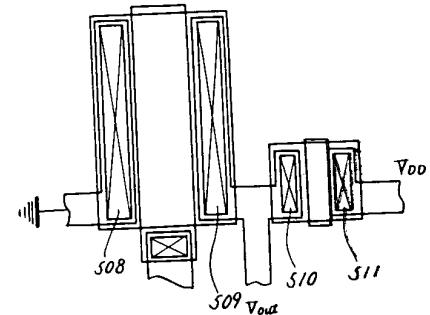


第12図

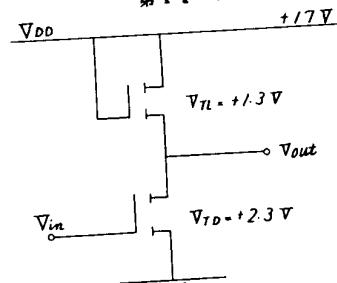
第12図



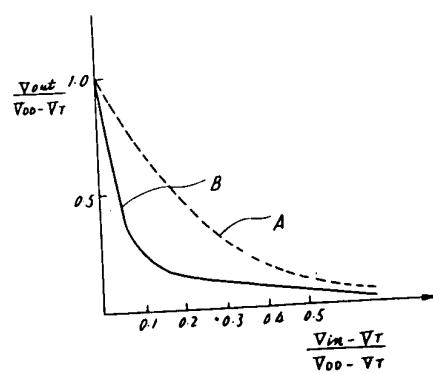
第13図



第14図



第15図



第16図

